

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04205382 A**

(43) Date of publication of application: **27.07.92**

(51) Int. Cl

G06F 15/60

(21) Application number: **02334391**

(71) Applicant: **YOKOGAWA ELECTRIC CORP**

(22) Date of filing: **30.11.90**

(72) Inventor: **KITO TERUO**

(54) **METHOD FOR CHECKING CLEARANCE OF
MUTUAL CONDUCTOR PATTERNS**

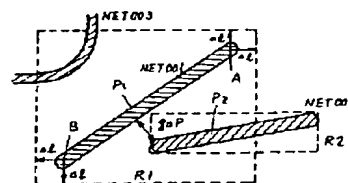
properly according to the opposite network.

COPYRIGHT: (C)1992,JPO&Japio

(57) Abstract:

PURPOSE: To check the clearance of mutual conductor patterns where real time design rule check is possible by comparing the deduced allowable clearance value with the actual clearance value between the two conductor patterns for check.

CONSTITUTION: The adjacent pattern of a wiring pattern P_1 is converged. This convergence produces a rectangle R_1 where a point offsetting the points of the maximum and minimum coordinate values between A and B by $|l|$ is taken as both ends of a diagonal line, producing a rectangle similarly in the adjacent pattern. The wiring pattern producing a rectangle with the widest area overlapped with the rectangle R_1 is selected. Then, the clearance of a much nearer part of the wiring patterns P_1 and P_2 is determined by means of a distance calculation method. Here, in case the obtained clearance is much larger than the maximum clearance, the clearance for the wiring patterns P_1 and P_2 is determined as no problem. Thus, the clearance can be checked



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-205382

⑬ Int. Cl.⁵
G 06 F 15/60

識別記号 庁内整理番号
3 7 0 P 7922-5L

⑭ 公開 平成4年(1992)7月27日

審査請求 未請求 請求項の数 2 (全7頁)

⑮ 発明の名称 導体パターン相互間のクリアランスをチェックする方法

⑯ 特 願 平2-334391

⑰ 出 願 平2(1990)11月30日

⑱ 発 明 者 木 藤 輝 雄 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内
⑲ 出 願 人 横河電機株式会社 東京都武蔵野市中町2丁目9番32号
⑳ 代 理 人 弁理士 小沢 信助

明 細 書

1. 発明の名称

導体パターン相互間のクリアランスをチェックする方法

2. 特許請求の範囲

(1) 基板CADシステムを用いて設計したプリント基板に形成した導体パターン相互間のクリアランスが、許容クリアランス値よりも大きいかな否かをチェックする方法において、

次の工程を有することを特徴とする導体パターン相互間のクリアランスをチェックする方法。

① 2つの導体パターンの種類の組み合わせと、組み合わせに応じて定義した許容クリアランス値を対応させたクリアランスパラメータ情報を必要な数だけ作成しておく工程。

② 2つの導体パターンのネット名の組み合わせと、組み合わせに応じて用いる前記クリアランスパラメータ情報の番号を対応させたネット相互間クリアランス情報を作成する工程。

③ クリアランスをチェックする2つの導体パター

ンのネット名の組み合わせをもとに、前記ネット相互間パラメータ情報の中から該当するクリアランスパラメータ情報の番号を割り出す工程。

④ クリアランスをチェックする2つの導体パターンの種類の組み合わせをもとに、③の工程で割り出したクリアランスパラメータ情報の中から該当する許容クリアランス値を割り出す工程。

⑤ チェック対象となった2つの導体パターン間について求めたクリアランス値と④の工程で求めた許容クリアランス値を比較し、許容クリアランス値の方が大きい場合は、クリアランスエラーありとする工程。

(2) 基板CADシステムを用いて設計したプリント基板に形成した導体パターン相互間のクリアランスが、許容クリアランス値よりも大きいかな否かをチェックする方法において、

次の工程を有することを特徴とする導体パターン相互間のクリアランスをチェックする方法。

① 2つの導体パターンの種類の組み合わせと、組み合わせに応じて定義した許容クリアランス値を

対応させたクリアランスパラメータ情報を必要な数だけ作成しておく工程。

② 2つの導体パターンの線幅の組み合わせと、組み合わせに応じて用いる前記クリアランスパラメータ情報の番号を対応させたネット相互間クリアランス情報を作成する工程。

③ クリアランスをチェックする2つの導体パターンの線幅の組み合わせをもとに、前記ネット相互間パラメータ情報の中から該当するクリアランスパラメータ情報の番号を割り出す工程。

④ クリアランスをチェックする2つの導体パターンの種類の組み合わせをもとに、③の工程で割り出したクリアランスパラメータ情報の中から該当する許容クリアランス値を割り出す工程。

⑤ チェック対象となった2つの導体パターン間について求めたクリアランス値と④の工程で求めた許容クリアランス値を比較し、許容クリアランス値の方が大きい場合は、クリアランスエラーありとする工程。

3. 発明の詳細な説明

る許容クリアランス値が存在する。

しかし、従来のRDR Cでは、固定した許容クリアランス値を用いてチェックを行なっているため、本当は許容クリアランス値が確保されていないにもかかわらず、クリアランスエラーなしと誤判断してしまうことがある。

また、配線途中でチェックに用いるクリアランス値を一時的に変更した場合など、システムの電源を切ったり別の処理に移行した後は変更値が保持されない。このため、後で変更箇所のRDR Cを実施すると、変更前の許容クリアランス値でチェックが行なわれ、正確なチェックができない。

このように、従来のRDR Cでは回路特性に応じたRDR Cが行なわれていなかった。

さらに、パターンにかかる電圧値によってパターン幅を変えたプリント基板では、パターン幅を考慮したRDR Cが必要である。しかし、従来のRDR Cでは、パターン幅に応じた許容クリアランス値の設定もできないため、パターン幅に関係なく固定した許容クリアランス値でチェックする

<産業上の利用分野>

本発明は基板CADシステムでデザイン・ルール・チェックをするときに実行される導体パターン相互間のクリアランスをチェックする方法の改良に関するものである。

<従来の技術>

デザイン・ルール・チェック(以下、DRCとする)は、基板CADシステムを用いて設計したプリント基板の導体パターンが、相互間のクリアランスが最小許容ギャップ値(以下、許容クリアランス値とする)を確保しているか否かをチェックする処理である。DRCには、リアルタイムでチェックを行なうリアルタイム・デザイン・ルール・チェック(以下、RDRCとする)がある。

従来のRDRCでは、チェックに用いる許容クリアランス値は固定されていて、ユーザが任意に変更できなかった。ここで、ネットは同電位で接続されるべき導体パターンのグループである。

<発明が解決しようとする課題>

本来、ネットは、ネットの電位等に応じて異な

ことになる。このため、前述したのと同様に誤判断が生じることがある。特に、電圧値に応じて多くの許容クリアランス値を用いてチェックすることが要求されている電源基板等のパターン設計を行なうときのRDRCではこのことが問題になる。

本発明はこのような問題点を解決するためになされたものであり、ネットとパターン幅に応じてチェックに用いる許容クリアランス値を自由に選択でき、回路特性に応じたRDRCが可能な導体パターン相互間のクリアランスをチェックする方法を実現することを目的とする。

<課題を解決するための手段>

本発明は次のとおりである。

(1) 基板CADシステムを用いて設計したプリント基板に形成した導体パターン相互間のクリアランスが、許容クリアランス値よりも大きいか否かをチェックする方法において、

次の工程を有することを特徴とする導体パターン相互間のクリアランスをチェックする方法。

① 2つの導体パターンの種類の組み合わせと、組

み合わせに応じて定義した許容クリアランス値を対応させたクリアランスパラメータ情報を必要な数だけ作成しておく工程。

② 2つの導体パターンのネット名の組み合わせと、組み合わせに応じて用いる前記クリアランスパラメータ情報の番号を対応させたネット相互間クリアランス情報を作成する工程。

③ クリアランスをチェックする2つの導体パターンのネット名の組み合わせをもとに、前記ネット相互間パラメータ情報の中から該当するクリアランスパラメータ情報の番号を割り出す工程。

④ クリアランスをチェックする2つの導体パターンの種類の組み合わせをもとに、③の工程で割り出したクリアランスパラメータ情報の中から該当する許容クリアランス値を割り出す工程。

⑤ チェック対象となった2つの導体パターン間について求めたクリアランス値と④の工程で求めた許容クリアランス値を比較し、許容クリアランス値の方が大きい場合は、クリアランスエラーありとする工程。

出したクリアランスパラメータ情報の中から該当する許容クリアランス値を割り出す工程。

⑥ チェック対象となった2つの導体パターン間について求めたクリアランス値と④の工程で求めた許容クリアランス値を比較し、許容クリアランス値の方が大きい場合は、クリアランスエラーありとする工程。

<作用>

このような本発明では、クリアランスをチェックする2つの導体パターンのネット名の組み合わせをもとに、ネット相互間パラメータ情報の中から該当するクリアランスパラメータ情報の番号を割り出し、さらに、クリアランスをチェックする2つの導体パターンの種類の組み合わせをもとに、割り出しておいたクリアランスパラメータ情報の中から該当する許容クリアランス値を割り出す。そして、割り出した許容クリアランス値と、チェック対象となった2つの導体パターン間の実際のクリアランス値とを比較し、許容クリアランス値の方が大きい場合は、クリアランスエラーありと

⑦ 基板CADシステムを用いて設計したプリント基板に形成した導体パターン相互間のクリアランスが、許容クリアランス値よりも大きいかな否かをチェックする方法において、

次の工程を有することを特徴とする導体パターン相互間のクリアランスをチェックする方法。

① 2つの導体パターンの種類の組み合わせと、組み合わせに応じて定義した許容クリアランス値を対応させたクリアランスパラメータ情報を必要な数だけ作成しておく工程。

② 2つの導体パターンの線幅の組み合わせと、組み合わせに応じて用いる前記クリアランスパラメータ情報の番号を対応させたネット相互間クリアランス情報を作成する工程。

③ クリアランスをチェックする2つの導体パターンの線幅の組み合わせをもとに、前記ネット相互間パラメータ情報の中から該当するクリアランスパラメータ情報の番号を割り出す工程。

④ クリアランスをチェックする2つの導体パターンの種類の組み合わせをもとに、③の工程で割り

する。

線幅が変化する2つの導体パターン間のクリアランスのチェックも同様に行なう。

<実施例>

以下、図面を用いて本発明を説明する。

第1図は本発明にかかる方法を実施するための基板CADシステムの構成例を示した図である。

第1図において、1は入力装置、2は出力装置、3は記憶装置、4はコンピュータである。

入力装置1において、11は設計するプリント基板の図形データを入力する図形入力部である。

出力装置2において、21は設計したプリント基板を表示する表示装置である。

記憶装置3において、31は設計するプリント基板の図形情報と接続情報が格納されたデータベース用メモリである。

32はクリアランスパラメータ用メモリであり、各レイアウト・アイテム間のチェック項目と、それぞれのチェック項目における許容クリアランス値を定義したクリアランスパラメータが格納され

ている。このクリアランスパラメータは、チェック対象となるクリアランスを形成する2つの導体パターン種類の組み合わせと、組み合わせに応じて定義した許容クリアランス値を対応させたフォーマットになっている。組み合わせとしては、例えば、第2図に示すような10項目の組み合わせがある。クリアランスパラメータによりあらゆる配線条件における許容クリアランス値を定義し、チェック漏れを防止している。クリアランスパラメータは、第3図のCLEARANCE 1、CLEARANCE 2…のように必要に応じて複数個作成される。

33はネット相互間クリアランス情報用メモリであり、クリアランスを形成する2つのネットに対して1つのクリアランスパラメータを定義したネット相互間クリアランス情報が格納されている。ネット相互間クリアランス情報は、例えば第3図の\$CNETSに示すとおりのものである。クリアランスパラメータの定義は、例えば第4図に示すようなマトリクス状の表をもとに定められる。

ンス情報の場合と同様にマトリクス状にクリアランスパラメータを定義できる。

コンピュータ4において、41は設計しているプリント基板に形成された導体パターンについてDRCを行なうDRC部、42は制御部であり、図形入力部11、表示部21、データベース用メモリ31、DRC部41と信号の授受を行なってシステム全体の制御を行なう。

このように構成したシステムを用いて次の手順で導体パターン相互間のクリアランスをチェックする。

まず、DRC部41の動作について説明する。

例えば、第6図に示すようにA-B間を配線パターンP₁で結線した場合、まず、配線パターンP₁の近接パターンを絞り込む。この絞り込みは、A-B間の最大座標値の点と最小座標値の点をΔℓだけオフセットした点を対角線の両端とする矩形R1を作り、近接する配線パターンについても同様にして矩形を作り、矩形R1と重なる部分の面積が最も大きい矩形を作る配線パターンを選

この表はプリント基板の設計者が作成する。第4図のマトリクス表をもとに作成されたネット相互間クリアランス情報は第5図に示すとおりになる。

また、ネット名を記述する際、アスタリスク「*」を使用して、複数のネットからなるネットグループを代表させてもよい。例えば、ネット名NET001、NET002、…、NET009の後にNET00*を挿入すると、NET00*はNET001～NET009を代表したものになる。これによって、NET001～NET009のネットグループ単位でクリアランスパラメータを定義できる。

34は線幅相互間クリアランス情報用メモリであり、クリアランスを形成する2つの導体パターンの線幅の組み合わせと、組み合わせに応じて定義したクリアランスパラメータを対応させた線幅相互間クリアランス情報が格納されている。線幅相互間クリアランス情報は、例えば第3図の\$APTに示すとおりのものである。この定義を組み合わせることにより、ネット相互間クリアラ

択する。ここで、

$$\Delta \ell = (\text{最大クリアランス値}) \\ + (\text{配線パターンの線幅} / 2)$$

である。

第5図では矩形R2を作る配線パターンP₂が選択される。

次に、配線パターンP₁とP₂の最も近付いている部分のクリアランスを距離計算方により求める。配線パターンが任意形状の閉図形である場合は、凹凸法により距離を求める。凹凸法は、配線パターンの凸形部分に注目し、凸形部分と相手方の配線パターンの距離を計算することによってクリアランスを求める方法である。

ここで、もし、求めたクリアランスが最大クリアランスよりも大きい場合は、配線パターンP₁とP₂のクリアランスは問題なしと判断する。逆に、小さい場合は、次のチェックを行なう。

配線パターンP₁とP₂に付けたネット名NET001とNET002を頼りに、第7図に示すネット相互間クリアランス情報テーブルより

該当するネット名が定義されているか否かをチェックする。ネット相互間クリアランステーブルは、ネット名、相手ネット名、クリアランスパラメータ番号を対応させたもので、ネット相互間クリアランス情報用メモリ33に格納されている。

第7図のテーブル中に該当するネット名のペアが見付かったならば、そのペアのクリアランスパラメータ番号を取り出す。

次に、第8図に示すクリアランスパラメータ情報より、取り出したクリアランスパラメータ番号のクリアランスパラメータ情報を割り出し、このクリアランスパラメータ情報の中で該当するレイアウト・アイテム間の許容クリアランス値を取り出す。第6図の例では配線パターンと配線パターンのクリアランスのチェックであるため、第8図のLINE-LINEの許容クリアランス値を読み出す。

もし、該当するネット名になったペアのクリアランスパラメータ番号が存在しない場合は、デフォルトのクリアランス値を用いる。デフォルトの

クリアランス値は、該当するネット名になったペアが見付からない場合に使うために用意しておいた許容クリアランス値である。

このようにして求めたクリアランス値 ℓ_1 と、前述した計算により求めた実際のクリアランス値とを比較する。

(実際のクリアランス値) $\geq \ell_1$ である場合は、NET001-NET002間では十分なクリアランスが保たれており問題なしと判断する。

(実際のクリアランス値) $< \ell_1$ である場合は、クリアランス・エラーありと判断する。

以上のようなチェックを近接した配線パターンのすべてについて実施する。

導体パターンの幅が変化する場合、第3図の線幅相互間クリアランス情報を用いてネット相互間のクリアランスチェックと同様にしてチェックを行なう。

以上説明したDRCの処理は、導体パターンを新たに形成する場合と、導体パターンを修正する場合に随時実行する。

<効果>

本発明によれば、クリアランスを形成する2つの導体パターンのネットの組み合わせに応じてチェックに用いる許容クリアランス値を選択しているため、相手ネットに応じて適切にクリアランスをチェックできる。また、導体パターンの線幅にも応じてチェックに用いる許容クリアランス値を選択しているため、線幅が変化する導体パターンであっても適切にクリアランスをチェックできる。これは、電圧値によって線幅が異なる電源基板の設計において特に有効である。

3. 図面の簡単な説明

第1図は本発明にかかる方法を実施するための基板CADシステムの構成例を示した図、第2図～第8図は第1図のシステムの動作説明図である。

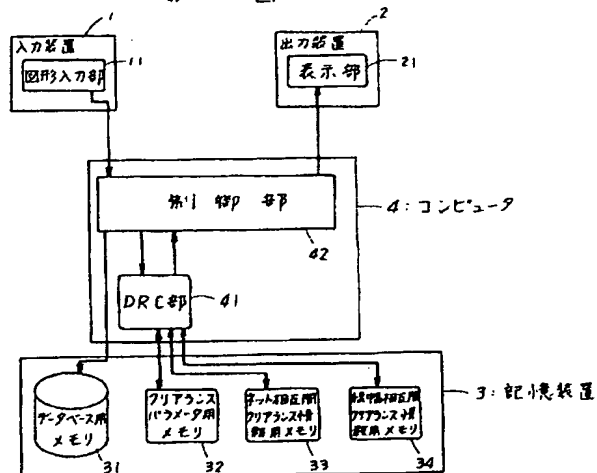
1…入力装置、11…図形入力部、2…出力装置、21…表示部、3…記憶装置、32…クリアランスパラメータ用メモリ、33…ネット相互間クリアランス情報用メモリ、34…線幅相互間クリアランス情報用メモリ、34…線幅相互間クリ

アランス情報用メモリ、4…コンピュータ、41…DRC部、42…制御部。

代理人 井理士 小沢信助



第一區



第 2 图

LINE	LINE	線分	線分	面のフリアランス
LINE	PIN	線分	部品端子	・
LINE	VIA	線分	ウイア	・
LINE	PLANE	線分	面図形	・
PIN	PIN	部品端子	部品端子	・
PIN	VIA	部品端子	ウイア	・
PIN	PLANE	部品端子	面図形	・
VIA	VIA	ウイア	ウイア	・
VIA	PLANE	ウイア	面図形	・
PLANE	PLANE	面図形	面図形	・

第 3 章

\$ CLEARANCE 1		
LINE - LINE	:	0.20
LINE - PIN	:	0.22
LINE - VIA	:	0.22
LINE - PLANE	:	0.20
PIN - PIN	:	0.25
PIN - VIA	:	0.25
PIN - PLANE	:	0.20
VIA - VIA	:	0.25
VIA - PLANE	:	0.25
PLANE - PLANE	:	0.18
\$ CLEARANCE 2		
LINE - LINE	:	0.15
LINE - PIN	:	0.20
VIA - PLANE	:	0.17
\$ CLEARANCE 3		
LINE - LINE	:	0.30
LINE - PIN	:	0.28
PIN - PLANE	:	0.31
PLANE - PLANE	:	0.30
\$ CLEARANCE 4		

\$ CNETS		
NET001 - NET002	:	1
NET002 - ANA001	:	3
CLOCK - CLOCK2	:	4

\$ APT		
APT 1 - APT 2	:	1
APT10 - APT 4	:	2
APT15 - APT 6	:	2

\$ END		

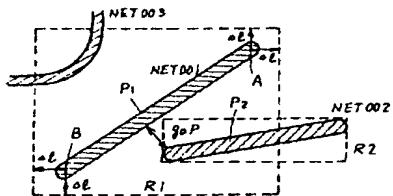
第 4 図

ネット名	NET001	NET002	NET003	NET004
NET001		0.18	0.20	0.18
NET002			0.21	0.22
NET003				0.25
NET004				

第 5 図

\$CLEARANCE 1	LINE - LINE : 0.18
\$CLEARANCE 2	LINE - LINE : 0.20
\$CLEARANCE 3	LINE - LINE : 0.21
\$CLEARANCE 4	LINE - LINE : 0.22
\$CLEARANCE 5	LINE - LINE : 0.25
\$CNETS	NET001 - NET002 : 1
	NET001 - NET003 : 2
	NET001 - NET004 : 1
	NET002 - NET003 : 3
	NET002 - NET004 : 4
	NET003 - NET004 : 5
\$END	

第 6 図



第 7 図

No. 1	ネット名
ネット相互間 クリアランス情報	相手ネット名
	クリアランス番号
No. 2	ネット名
ネット相互間 クリアランス情報	相手ネット名
	クリアランス番号
...	...
	...
	...
No. n	ネット名
ネット相互間 クリアランス情報	相手ネット名
	クリアランス番号

第 8 図

LINE - LINE	No. 1 クリアランス パラメータ情報
LINE - PIN	
LINE - VIA	
LINE - PLANE	
PIN - PIN	
PIN - VIA	
PIN - PLANE	
VIA - VIA	
VIA - PLANE	
PLANE - PLANE	
	No. n クリアランス パラメータ情報